

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03001538 A**

(43) Date of publication of application: **08.01.91**

(51) Int. Cl.

**H01L 21/3205**  
**H01L 21/90**

(21) Application number: **01135009**

(22) Date of filing: **29.05.89**

(71) Applicant: **SONY CORP**

(72) Inventor: **OTSU KOJI**  
**MIZUMURA AKIRA**

(54) **SEMICONDUCTOR DEVICE**

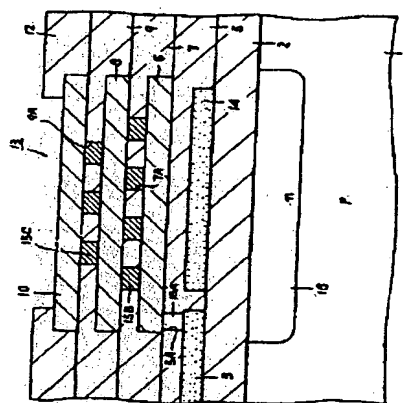
and 15C can be also avoided.

(57) Abstract:

COPYRIGHT: (C)1991,JPO&Japio

PURPOSE: To avoid peeling-off of conductive materials, avoid a leakage defect caused by a mechanical stress given at the time of wire bonding and improve the reliability of a semiconductor device by a method wherein the conductive materials are buried in contact holes provided in the interlayer insulating films of a multilayer interconnection to form an electrode having a multilayer interconnection structure.

CONSTITUTION: Conductive materials 15A, 15B and 15C are buried in contact holes 5A, 7A and 9A formed in the interlayer insulating films 5, 7 and 9 and the positions of the conductive materials 15A, 15B and 15C are mutually shifted between upper and lower layers to form an electrode 13 having a multilayer interconnection structure. If a bonding wire is bonded to the electrode 13, a stress applied to the conductive materials 15B and 15C is relieved by foundation wiring layers 6 and 8, so that short-circuit failures between the electrode 13 and a semiconductor substrate 1 caused by the breakdown of a foundation insulating film 2 can be suppressed. As a result, a leakage defect can be avoided and, at the same time, peeling off of the conductive materials 15A, 15B



BEST AVAILABLE COPY

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-001538

(43)Date of publication of application : 08.01.1991

(51)Int.Cl.

H01L 21/3205  
H01L 21/90

(21)Application number : 01-135009

(71)Applicant : SONY CORP

(22)Date of filing : 29.05.1989

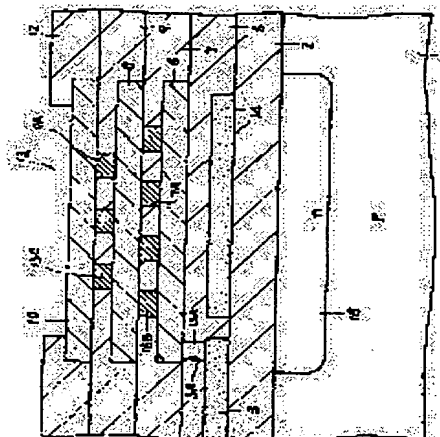
(72)Inventor : OTSU KOJI  
MIZUMURA AKIRA

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To avoid peeling-off of conductive materials, avoid a leakage defect caused by a mechanical stress given at the time of wire bonding and improve the reliability of a semiconductor device by a method wherein the conductive materials are buried in contact holes provided in the interlayer insulating films of a multilayer interconnection to form an electrode having a multilayer interconnection structure.

**CONSTITUTION:** Conductive materials 15A, 15B and 15C are buried in contact holes 5A, 7A and 9A formed in the interlayer insulating films 5, 7 and 9 and the positions of the conductive materials 15A, 15B and 15C are mutually shifted between upper and lower layers to form an electrode 13 having a multilayer interconnection structure. If a bonding wire is bonded to the electrode 13, a stress applied to the conductive materials 15B and 15C is relieved by foundation wiring layers 6 and 8, so that short-circuit failures between the electrode 13 and a semiconductor substrate 1 caused by the breakdown of a foundation insulating film 2 can be suppressed. As a result, a leakage defect can be avoided and, at the same time, peeling off of the conductive materials 15A, 15B and 15C can be also avoided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

3

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-1538

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月8日

H 01 L 21/3205  
21/80

A

6810-5F  
6810-5F

H 01 L 21/88

K

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-135009

⑰ 出 願 平1(1989)5月29日

⑱ 発 明 者 大 津 幸 二 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑲ 発 明 者 水 村 章 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
㉑ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 半導体装置

特許請求の範囲

多層配線構造の電極を有する半導体装置において、

多層配線の層間絶縁膜に形成した接続孔内に導電材料が埋め込まれ、

該埋め込まれた導電材料の位置が上下層でずれるようにした多層配線構造の電極を有して成る半導体装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、多層配線構造の電極を有する半導体装置に関する。

(発明の概要)

本発明は、多層配線構造の電極を有する半導体装置において、多層配線の層間絶縁膜に設けた接続孔内に導電材料を埋め込み、この埋め込まれた導電材料の位置を上下層でずれるようにして多層

配線構造の電極を構成することにより、導電材料の割れ不良を防止すると共に、ワイヤーボンディング時の機械的ストレスによるリーク不良を防止し、この種の半導体装置の高信頼性の向上を図るようにしたものである。

(従来の技術)

近時、LSI(大規模半導体集積回路)においては、その高密度化に伴い、配線の多層化とサブミクロンルール以下での配線の平坦化(接続孔へのタングステン(W)、モリブデン(Mo)等の導電体の埋め込み)技術が必要となってきた。一方、配線の多層化に伴い、電極即ちボンディングパッド部も多層配線構造で構成される。第4図は従来のLSIにおける多層配線構造のボンディングパッド部の例を示す。同図において、(1)は第1導電体例えばP形のシリコン基板を示し、その主面に形成された例えばSiO<sub>2</sub>等による絶縁膜(2)上に於て、LSI内部に接続される例えば多結晶シリコンと高融点金属シリサイドからなるポリサ

イド配線(3)がボンディングパッド部(4)に延長されている。ボンディングパッド部(4)では第1層間絶縁膜(5)、第1層A<sub>2</sub>配線と同時形成の第1A<sub>2</sub>配線層(6)、第2層間絶縁膜(7)、第2層A<sub>2</sub>配線と同時形成の第2A<sub>2</sub>配線層(8)、第3層間絶縁膜(9)及び第3層A<sub>2</sub>配線と同時形成の第3A<sub>2</sub>配線層(10)が順次積層され、第1層間絶縁膜(5)に形成した接続孔(5A)内に例えばタングステン又はモリブデン等の導電体(11)を埋め込んでポリサイド配線(3)と第1A<sub>2</sub>配線層(6)とが接続されると共に、第2層間絶縁膜(7)及び第3層間絶縁膜(9)に夫々互に対応するように形成した複数の接続孔(7A)及び(9A)に同様の導電体(11)を埋め込んで第1A<sub>2</sub>配線層(6)、第2A<sub>2</sub>配線層(8)及び第3A<sub>2</sub>配線層(10)の相互間が接続されて成る。(12)はオーバーコート膜である。

〔発明が解決しようとする課題〕

ところで、上述の接続孔(5A)(7A)及び(9A)に埋め込まれたタングステンやモリブデン等の導電体

(11)は、配線層(6)(8)(10)を構成するA<sub>2</sub>系金属との熱膨張係数等の差によって100 $\mu$ m平方以上の大面積になると割がれ易くなるので、数十 $\mu$ m平方以下に接続孔(5A)(7A)及び(9A)を小さくする必要がある。一方、高密度化に伴って特にゲートアレイやスタンダードセルでは、ボンディングパッド部の高密度化によりボンディングパッド部(4)の面積が今迄の1/2~1/5(例えば100 $\mu$ m平方から80 $\mu$ m平方)に小さくなり、必然的に1本当りのボンディングストレス(圧力)密度が高くなる傾向になってきている。さらに、接続孔(5A)(7A)及び(9A)に埋め込まれたタングステン、モリブデン等の導電体(11)がA<sub>2</sub>配線層(6)(8)及び(10)に比べて非常に硬度が高いために、このボンディングを行ったときに下地の絶縁膜(5)(7)を破壊して基板(1)とショート不良が起り易くなっていた。従って、接続孔(5A)(7A)(9A)の大きさを望まれる数十 $\mu$ m平方以下に小さくすると導電体(11)は割がれにくくなるが、逆にショート不良従ってリーク不

良が起き易くなる不都合があった。

本発明は、上述の点に鑑み、リーク不良がなく且つ接続孔に埋め込まれた導電体の割がれが生じにくい信頼性の高い多層配線構造の電極を有する半導体装置を提供するものである。

〔課題を解決するための手段〕

本発明は、多層配線構造の電極を有する半導体装置において、多層配線の層間絶縁膜(5)(7)(9)に形成した接続孔(5A)(7A)(9A)内に導電材料(15A)(15B)(15C)を埋め込むと共に、この導電材料(15A)(15B)(15C)の位置を互に即ち上下層でずれるようにして多層配線構造の電極(13)を構成する。

〔作用〕

上述の多層配線構造の電極(13)によれば層間絶縁膜(5)(7)(9)の接続孔(5A)(7A)(9A)に埋め込まれた導電材料(15A)(15B)(15C)が上下層で互にずれた位置に配されているので、この電極(13)にワイヤボンディングを行ったときに、特に導電材料(15B)

(15C)に加わるストレス(圧力)が下地の配線層(6)及び(8)により緩和され、下地の絶縁膜(2)を破壊して半導体基板(1)とショート不良を起す事故が低減する。従ってリーク不良が防止される。

また、ワイヤボンディング時のストレスが緩和されることから、導電材料(15A)(15B)(15C)を埋め込む接続孔(5A)(7A)(9A)の大きさもより小さくすることが可能となり、導電材料(15A)(15B)(15C)の割がれも防止することができる。

〔実施例〕

以下、図面を参照して本発明による半導体装置の実施例を説明する。

第1図及び第2図は、本発明の一例を示すもので、図はLSIの多層配線構造をなすボンディングパッド部を示す。同図において、(1)は第1導電形例えばP形のシリコン基板、(2)は基板(1)上に形成したSiO<sub>2</sub>等の絶縁膜、(3)はLSI内部への接続に供される例えば多結晶シリコンと高融点金属シリサイドからなるポリサイド配線、(13)は本例

に係る多層配線構造のボンディングパッド部を示す。

本例のボンディングパッド部(13)は、絶縁膜(2)上にポリサイド配線(3)と同時形成のポリサイド配線層(14)、第1層間絶縁膜(5)、第1層A<sub>2</sub>配線と同時形成の第1A<sub>2</sub>配線層(6)、第2層間絶縁膜(7)、第2層A<sub>2</sub>配線と同時形成の第2A<sub>2</sub>配線層(8)、第3層間絶縁膜(9)及び第3層A<sub>2</sub>配線と同時形成の第3A<sub>2</sub>配線層(10)を順次積層し、第1層間絶縁膜(5)に形成した接続孔(5A)内に例えばタングステン又はモリブデン等の導電体(15A)を埋め込んでポリサイド配線(3)と第1A<sub>2</sub>配線層(6)とを接続すると共に、第2層間絶縁膜(7)に形成した複数の接続孔(7A)に同様の導電体(15B)を埋め込んで第1A<sub>2</sub>配線層(6)と第2A<sub>2</sub>配線層(8)とを接続し、さらに第3層間絶縁膜(9)に形成した複数の接続孔(9A)に同様の導電体(15C)を埋め込んで第2A<sub>2</sub>配線層(8)と第3A<sub>2</sub>配線層(10)とを接続して成る。この場合、図示のように各接続孔(5A)(7A)及び(9A)は互に重ならないように互にずらして形成し、各

導電体(15A)(15B)及び(15C)が上下層で互に重ならないようにする。各接続孔(5A)(7A)及び(9A)の面積は十数 $\mu\text{m}^2$ 平方以下とする。また、ボンディングパッド部(13)の位置に対応する基板(1)の表面には、基板(1)と反対導電形、本例ではN形の島領域(16)を形成する。(12)はオーバーコート膜である。

かかる構成のLSI、即ちそのボンディングパッド部(13)によれば、各接続孔(5A)(7A)及び(9A)に埋め込む各導電体(15A)(15B)及び(15C)が互に重ならないように互に配置されているので、例えばAu線等によるワイヤボンディングを行ったときに、覆層である導電体(15B)及び(15C)にストレスがかかるも、夫々下地の第2A<sub>2</sub>配線層(8)及び第1A<sub>2</sub>配線層(6)がストレスバッファ層として作用し、層間絶縁膜(5)及び絶縁膜(2)を破壊して基板(1)とショート不良を起すことが回避される。さらに、下地にポリサイド配線層(14)が配されているので、このポリサイド配線層(14)がストレスバッファ層として作用し、更に絶縁膜(2)の破壊を回

避することができる。したがってワイヤボンディング時のストレスによるリーク不良の発生を低減することができる。また、ワイヤボンディング時の絶縁膜(2)の破壊を防止することができるので、接続孔(5A)(7A)及び(9A)の大きさを十数 $\mu\text{m}$ 以下とすることができ、導電体(15A)(15B)及び(15C)の割がれを防止することができる。

また、ボンディングパッド部(13)下に対応する基板(1)には基板と反対導電形の島領域(16)が設けられていることにより、仮りにワイヤボンディング時のストレスにより絶縁膜(2)が破壊してボンディングパッド部(13)が基板(1)側に接触したとしても、基板(1)とは接合によって電氣的に絶縁されている島領域(16)に接触するだけで基板(1)に直接接触しないのでリーク不良は生じないものである。従って、信頼性の高いLSIを構成することができる。

第3図は本発明の他の実施例を示す。本例は第2A<sub>2</sub>配線層(8)と一体の第2A<sub>2</sub>配線でLSI内部への接続を行うようにし、第3層間絶縁膜(9)に

形成した十数 $\mu\text{m}^2$ 平方以下の面積の複数の接続孔(9A)に導電体(15C)を埋め込んで第3A<sub>2</sub>配線層(10)と第2A<sub>2</sub>配線層(8)とを接続し、他は第1図と同様の構成としてボンディングパッド部(17)を構成する。

かかる構成のボンディングパッド部(17)によれば、第1A<sub>2</sub>配線層(6)及びポリサイド配線層(14)がストレスバッファ層として作用するので、ワイヤボンディング時のストレスによる層間絶縁膜(7)及び絶縁膜(2)の破壊及びその結果生じるリーク不良をさらに低減することができる。尚、第3図の例ではポリサイド配線層(14)を省略して第1A<sub>2</sub>配線層(6)のみとしても良い。

又、第1図の例においては、導電体(15B)と(15C)は互に重ならないように配置したが、互に一部重なるも位置的にはずれているように配置することも可能であり、この場合にもワイヤボンディング時のストレスを緩和することができる。

(発明の効果)

特開平3-1538(4)

本発明の半導体装置によれば、その多層配線の層間絶縁膜に形成した接続孔内に導電材料を埋め込んでなる多層配線構造の電極において、埋め込まれた導電材料を上下層でずれるように配置したことにより、かかる電極に対しワイヤボンディングする際のストレスを緩和することができ、リーク不良を低減することができる。またリーク不良の低減が可能のために、接続孔の大きさを50 $\mu$ m<sup>2</sup>平方以下に小さくすることが可能となり、導電材料の割れを防止することができる。このため、信頼性の高い半導体装置が得られるものであり、特に高密度のLSI等に適用して好適ならしめるものである。

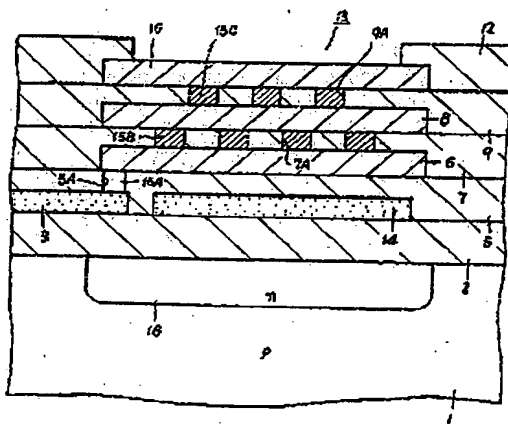
図面の簡単な説明

第1図は本発明の半導体装置の一例を示すボンディングパッド部の断面図、第2図はその平面図、第3図は本発明の半導体装置の他の例を示すボンディングパッド部の断面図、第4図は従来の半導体装置の例を示すボンディングパッド部の断面図である。

(1)は半導体基板、(2)は絶縁膜、(3)はポリサイド配線、(5)(7)(9)は層間絶縁膜、(6)(8)(10)は入線配線層、(14)はポリサイド配線層、(15)は島領域、(4)(13)(17)はボンディングパッド部である。

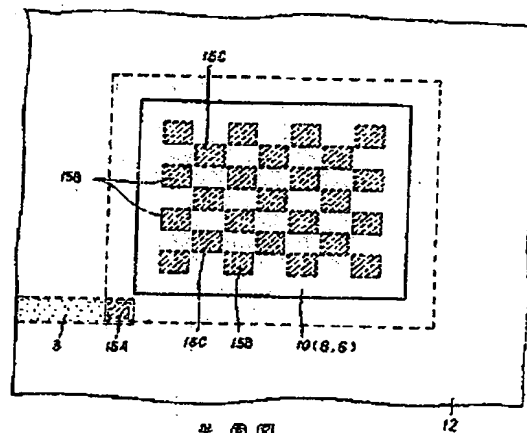
代理人 松岡秀盛

- |                            |                 |
|----------------------------|-----------------|
| 1...半導体基板                  | 13...ボンディングパッド部 |
| 2...絶縁膜                    | 14...ポリサイド配線層   |
| 3...ポリサイド配線                | 15...島領域        |
| 5,7,9...層間絶縁膜              |                 |
| 6A,7A,9A...接続孔             |                 |
| 6,8,10...入線配線層             |                 |
| 11,15A,15B,15C...W,Mo等の導電体 |                 |

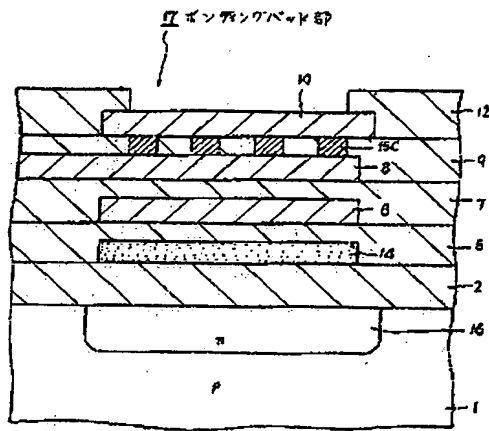


本発明半導体装置の一例を示すボンディングパッド部の断面図  
第1図

- |                         |
|-------------------------|
| 3...ポリサイド配線             |
| 10(8,6)...入線配線層         |
| 15A,15B,15C...W,Mo等の導電体 |

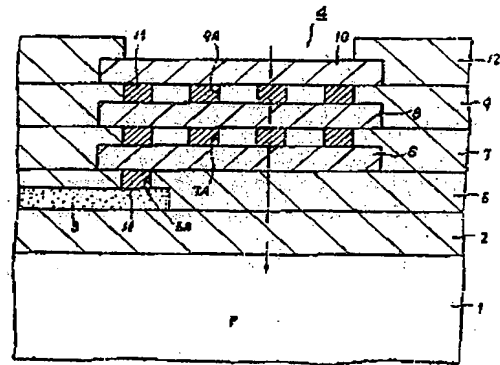


平面図  
第2図



本発明の他の例を示すポンピングパッド部の断面図  
第3図

- 1... 半導体基板
- 2... 絶縁膜
- 3... ポリシリコン配線
- 4... ポンピングパッド部
- 5, 6, 7, 8... 層間絶縁膜
- 9A, 7A, 9B... 接続孔
- 9, 8, 10... AlSiGe層
- 11... W, Mo等の導電膜



従来の半導体装置のポンピングパッド部の断面図  
第4図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**